

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of
Inventor(s): TANAKA, et al.

Appln. No.:	Not	Assigned
Series Code	↑	↑ Serial No.

Group Art Unit: Unknown

Filed: August 1, 2003

Examiner: Unknown

Title: CLASS D AMPLIFIER

Atty. Dkt. P	0305349	H7942US
M#		Client Ref

Date: August 1, 2003

**SUBMISSION OF PRIORITY
DOCUMENT IN ACCORDANCE
WITH THE REQUIREMENTS OF RULE 55**

Hon. Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

Please accept the enclosed certified copy(ies) of the respective foreign application(s) listed below for which benefit under 35 U.S.C. 119/365 has been previously claimed in the subject application and if not is hereby claimed.

<u>Application No.</u>	<u>Country of Origin</u>	<u>Filed</u>
2002-226628	Japan	August 2, 2002

Respectfully submitted,

Pillsbury Winthrop LLP
Intellectual Property Group

725 South Figueroa Street, Suite
2800
Los Angeles, CA 90017-5406
Tel: (213) 488-7100

Atty/Sec: RHZ/JES

By Atty: Richard H. Zaitlen

Reg. No. 27248

Sig: 

Fax: (213) 629-1033
Tel: (213) 488-7568

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 2日

出 願 番 号

Application Number:

特願2002-226628

[ST.10/C]:

[JP2002-226628]

出 願 人

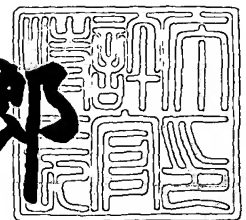
Applicant(s):

ヤマハ株式会社

2003年 6月23日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3048411

【書類名】 特許願

【整理番号】 J95396A1

【提出日】 平成14年 8月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 H03F 3/217

【発明の名称】 D級増幅器

【請求項の数】 4

【発明者】

 【住所又は居所】 静岡県浜松市中沢町10番1号 ヤマハ株式会社内

 【氏名】 田中 泰臣

【発明者】

 【住所又は居所】 静岡県浜松市中沢町10番1号 ヤマハ株式会社内

 【氏名】 野呂 正夫

【特許出願人】

 【識別番号】 000004075

 【氏名又は名称】 ヤマハ株式会社

【代理人】

 【識別番号】 100064908

 【弁理士】

 【氏名又は名称】 志賀 正武

【選任した代理人】

 【識別番号】 100089037

 【弁理士】

 【氏名又は名称】 渡邊 隆

【手数料の表示】

 【予納台帳番号】 008707

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001626

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 D級増幅器

【特許請求の範囲】

【請求項1】 正電源と出力端子との間に電流経路が接続された第1の出力用トランジスタと、負電源と前記出力端子との間に電流経路が接続された第2の出力用トランジスタとを有し、入力端子を介して外部から入力された信号に含まれる情報成分をパルス幅に反映させて該信号をパルス信号に変調し、該パルス信号に基づき前記第1および第2の出力用トランジスタを相補的に導通させるように構成されたD級増幅器において、

前記パルス信号の同相信号および逆相信号からなる第1の相補信号を生成する信号生成回路と、

前記第1の相補信号を、前記負電源を基準とした電圧成分を有する第2の相補信号に変換する信号変換回路と、

前記第2の相補信号に応答して前記負電源に向かう電流成分を有する第3の相補信号を出力する電流駆動回路と、

前記第3の相補信号に応答して前記第1の出力用トランジスタを駆動する第1の駆動回路と、

前記第2の相補信号に応答して前記第2の出力用トランジスタを駆動する第2の駆動回路と、

を備えたことを特徴とするD級増幅器。

【請求項2】 前記信号変換回路が、

グランド電位にベースが共通にバイアスされ、第1および第2の抵抗を介して前記第1の相補信号が現れる前記信号生成回路の出力部にエミッタがそれぞれ接続された第1および第2のバイポーラトランジスタと、

前記第1および第2のバイポーラトランジスタのコレクタと前記負電源との間にそれぞれ接続された第3および第4の抵抗と、

を備えて構成されたことを特徴とする請求項1に記載されたD級増幅器。

【請求項3】 前記電流駆動回路が、

前記第3および第4の抵抗にエミッタがそれぞれ接続され、前記第1の駆動回

路の入力部にコレクタが接続され、前記負電源を基準とした所定電位にベースが共通にバイアスされた第3および第4のバイポーラトランジスタを備えて構成されたことを特徴とする請求項2に記載されたD級増幅器。

【請求項4】 前記第3および第4のバイポーラトランジスタのエミッタ電圧が前記負電源を基準とした所定電位に対してベース・コレクタ間電圧分だけ低い電圧となるように、前記第1ないし第4の抵抗の値を設定したことを特徴とする請求項3に記載されたD級増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、音楽信号などのアナログ信号をパルス信号に変換して電力増幅するD級増幅器（デジタルアンプ）に関し、特に出力用のパワーMOSトランジスタを駆動制御するための回路技術に関する。

【0002】

【従来の技術】

従来、音楽信号などのアナログ信号を入力信号とし、これをパルス信号に変換して電力増幅するD級増幅器が知られており、その出力端子には、ローパスフィルタを介してスピーカの入力端子が接続される。このD級増幅器によれば、入力信号の振幅（情報成分）がパルス幅に反映されて電力増幅されたパルス信号が出力される。そして、このパルス信号がローパスフィルタを通過することにより、電力増幅されたアナログ量の音楽信号が抽出され、この音楽信号がスピーカを駆動する。D級増幅器は、シリコンチップ上に形成することができるため、小型かつ安価に実現することができ、低消費電力が要求される携帯端末やパソコンなどに多用されている。

【0003】

図7に、D級増幅器900の構成と、その適用例を示す。

同図において、信号源SIGは、接地電位（0V）を振幅の midpoint とするアナログ量の音楽信号VINの発生源であり、この音楽信号に含まれる直流成分をカットするための入力コンデンサ（図示省略）を介してD級増幅器900の入力端子

TI に接続される。D 級増幅器 9 0 0 は、いわゆる PWM 増幅器 (PWM ; Pulse Width Modulation) であって、入力段 9 0 1、変調回路 9 0 2、駆動回路 9 0 3、n 型のパワー MOS トランジスタ 9 0 4、9 0 5 からなる。

【0 0 0 4】

入力段 9 0 1 は、音楽信号 VIN の中点を移動させて、電源 VDD (例えば 1 0 V) で動作する変調回路 9 0 2 の入力特性に適合する信号に音楽信号 VIN を変換するものである。変調回路 9 0 2 は、入力段 9 0 1 から出力された音楽信号を PWM によりパルス信号に変換するものであり、音楽信号の情報成分がパルス幅に反映されて (音楽信号が) パルス信号に変調される。駆動回路 9 0 3 は、変調回路 9 0 2 により変調されたパルス信号に基づき、出力用のパワー MOS トランジスタ 9 0 4、9 0 5 を相補的に駆動制御するものである。

【0 0 0 5】

パワー MOS トランジスタ 9 0 4 は、正電源 VPP+ (例えば + 5 0 V) と出力端子 TO との間に電流経路が接続され、ハイレベルを出力するためのものである。また、パワー MOS トランジスタ 9 0 5 は、負電源 VPP- (例えば - 5 0 V) と出力端子 TO との間に電流経路が接続され、ローレベルを出力するためのものである。出力端子 TO は、インダクタ L とコンデンサ C とからなるローパスフィルタを介してスピーカ SPK の入力端子に接続される。

【0 0 0 6】

この D 級増幅器 9 0 0 によれば、信号源 SIG から入力された音楽信号 VIN が、入力段 9 0 1 および変調回路 9 0 2 を経てパルス信号に変換される。このとき、変調回路 9 0 2 は、音楽信号 VIN に応じてキャリア信号をパルス幅変調する。駆動回路 9 0 3 は、変調されたパルス信号に基づきパワー MOS トランジスタ 9 0 4、9 0 5 を相補的に導通制御し、出力端子 TO に電力増幅されたパルス信号を出力する。この電力増幅されたパルス信号は、インダクタ L およびコンデンサ C からなるローパスフィルタによりキャリア周波数成分が除去され、電力増幅されたアナログ量の音楽信号となってスピーカ SPK に供給される。

【0 0 0 7】

【発明が解決しようとする課題】

ところで、上述の変調回路 9 0 2 は、単一の電源 VDD（例えば 1 0 V）で作動するように構成されたものであるから、その出力信号であるパルス信号のロウレベルは接地電位（0 V）となり、ハイレベルは電源 VDD が供給する電圧（1 0 V）となる。従って、そのような信号レベルを有するパルス信号をそのまま用いたのでは、MOS トランジスタの特性上、正電源 VPP+（+ 5 0 V）にドレインが接続されたパワー MOS トランジスタ 9 0 4 を十分にオン状態に制御することはできず、また負電源 VPP-（- 5 0 V）にソースが接続されたパワー MOS トランジスタ 9 0 5 をオフ状態に制御することができない。そこで、駆動回路 9 0 3 には、変調回路 9 0 2 で変調されたパルス信号に基づき上述のパワー MOS トランジスタ 9 0 4、9 0 5 を制御するための機能が必要とされる。

【0 0 0 8】

以下、駆動回路 9 0 3 について説明する。正電源 VPP+ から負電源 VPP- まで変化する信号を出力するパワー MOS トランジスタの導通状態を制御するためには、正電源 VPP+ および負電源 VPP- に見合った大振幅のパルス信号を駆動回路 9 0 3 からパワー MOS トランジスタ 9 0 4、9 0 5 のゲートに供給するものとすればよいが、その場合、高耐圧トランジスタを用いて駆動回路 9 0 3 を構成しなければならず、コストの上昇を招く。そのため、パワー MOS トランジスタ 9 0 4 とパワー MOS トランジスタ 9 0 5 とをそれぞれ駆動する回路の電源系を分離（アイソレート）することにより、各回路に印加される実効的な電源電圧を緩和する手法を用いて駆動回路 9 0 3 が構成されている。

【0 0 0 9】

図 7 に示す例では、パワー MOS トランジスタ 9 0 4、9 0 5 の双方が n 型であるため、駆動回路 9 0 3 は、パワー MOS トランジスタ 9 0 4 のソース電圧、即ち出力端子 TO に現れる出力信号の電圧を基準とした電源系と、パワー MOS トランジスタ 9 0 5 のソース電圧、即ち負電源 VPP- が供給する電圧を基準とした電源系とに分離される。そして、パワー MOS トランジスタ 9 0 4 を駆動する回路の電源系は、出力端子 TO に現れる出力信号の電圧変化に追従して変動する。ところが、このように駆動回路 9 0 3 の電源系を出力端子 TO に現れる出力信号に追従させると、前段側の変調回路 9 0 2 が出力するパルス信号の信号レベ

ルに対し駆動回路 9 0 3 の入力閾値が変動することになり、変調回路 9 0 2 から駆動回路 9 0 3 に信号を正しく伝送できなくなるという不都合を生じる。

【 0 0 1 0 】

このような不都合を解消するための第 1 の従来技術として、ブートストラップ回路技術を用いることにより、変調回路 9 0 2 が出力するパルス信号を駆動回路 9 0 3 側に適合した信号レベルに昇圧するものがある。

また、第 2 の従来技術として、絶縁トランスを用いることにより、変調回路 9 0 2 が出力するパルス信号を駆動回路 9 0 3 側に適合した信号レベルに電圧変換するものがある。

さらに、第 3 の従来技術として、フォトカプラを用いることにより、変調回路 9 0 2 の出力信号を光信号に変換して駆動回路 9 0 3 側に伝送するものがある。

【 0 0 1 1 】

しかしながら、上述の第 1 の従来技術によれば、変調回路から出力される信号のレベルを変換するためにブートストラップ回路を用いているので、信号の周波数が高くなると動作が不安定になるという問題がある。

また、上述の第 2、第 3 の従来技術によれば、絶縁トランスやフォトカプラなどの電子部品が比較的高価なためにコストが上昇する。しかも、これら電子部品を実装するためのスペースを確保しなければならず、装置が大型化する。

また、図 7 に示す従来構成では、変調回路 9 0 2 が 1 0 V 系の電源 VDD で動作するものとしたが、仮に、入力段 9 0 1、変調回路 9 0 2、駆動回路 9 0 3 の全てのブロックが高電圧系の正電源 VPP+, 負電源 VPP- で動作するものとするれば、上述のように信号レベルを変換する必要はなく、回路構成を簡略化することができる。しかしこの場合、全ブロックに対して高耐圧プロセスの製造技術を使用することになるため、仮に各ブロックを別々に IC 化する場合であっても、個々の IC の製造コストが上昇することになる。

【 0 0 1 2 】

この発明は、上記事情に鑑みてなされたもので、特殊な回路技術や電子部品を用いることなく出力用のパワー MOS トランジスタを駆動制御することができ、しかも高耐圧プロセスの使用を必要最小限に抑えることができる D 級増幅器を提

供することを目的とする。

【 0 0 1 3 】

【課題を解決するための手段】

上記課題を解決するため、この発明は以下の構成を有する。

即ち、請求項 1 に記載された発明は、正電源と出力端子との間に電流経路が接続された第 1 の出力用トランジスタと、負電源と前記出力端子との間に電流経路が接続された第 2 の出力用トランジスタとを有し、入力端子を介して外部から入力された信号に含まれる情報成分をパルス幅に反映させて該信号をパルス信号に変調し、該パルス信号に基づき前記第 1 および第 2 の出力用トランジスタを相補的に導通させるように構成された D 級増幅器において、前記パルス信号の同相信号および逆相信号からなる第 1 の相補信号を生成する信号生成回路（例えば後述する相補信号生成回路 3 0 1 に相当する構成要素）と、前記第 1 の相補信号を、前記負電源を基準とした電圧成分を有する第 2 の相補信号に変換する信号変換回路（例えば後述する信号変換回路 3 0 2 に相当する構成要素）と、前記第 2 の相補信号に応答して前記負電源に向かう電流成分を有する第 3 の相補信号を出力する電流駆動回路（例えば後述する電流駆動回路 3 0 3 に相当する構成要素）と、前記第 3 の相補信号に応答して前記第 1 の出力用トランジスタを駆動する第 1 の駆動回路（例えば後述する駆動回路 3 0 4 に相当する構成要素）と、前記第 2 の相補信号に応答して前記第 2 の出力用トランジスタを駆動する第 2 の駆動回路（例えば後述する駆動回路 3 0 5 に相当する構成要素）と、を備えたことを特徴とする。

【 0 0 1 4 】

この構成によれば、第 1 の相補信号は負電源を基準とした第 2 の信号に変換される。これにより、第 2 の相補信号に応答して第 2 の駆動回路が作動する。また、電流駆動回路は、第 2 の相補信号に応答して電流を出力する。第 1 の駆動回路は、電流駆動回路から出力された電流を受けて作動する。すなわち、この構成によれば、第 1 および第 2 の駆動回路は、負電源を基準として生成された信号を入力するため、第 1 および第 2 の駆動回路から望んだ入力信号の電位方向が常に一定となる。従って、例えば第 1 の駆動回路の電源系が出力端子の電位に追従して

変化しても、その入力信号に応答して第 1 および第 2 の駆動回路により第 1 および第 2 の出力用トランジスタを駆動制御することが可能になる。

【 0 0 1 5 】

また、請求項 2 に記載された発明は、請求項 1 に記載された D 級増幅器において、前記信号変換回路が、グランド電位にベースが共通にバイアスされ、第 1 および第 2 の抵抗を介して前記第 1 の相補信号が現れる前記信号生成回路の出力部にエミッタがそれぞれ接続された第 1 および第 2 のバイポーラトランジスタと、前記第 1 および第 2 のバイポーラトランジスタのコレクタと前記負電源との間にそれぞれ接続された第 3 および第 4 の抵抗と、を備えたことを特徴とする。

さらに、請求項 3 に記載された発明は、請求項 2 に記載された D 級増幅器において、前記電流駆動回路が、前記第 3 および第 4 の抵抗にエミッタがそれぞれ接続され、前記負電源を基準とした所定電位にベースが共通にバイアスされた第 3 および第 4 のバイポーラトランジスタを備えたことを特徴とする。

さらにまた、請求項 4 に記載された発明は、請求項 3 に記載された D 級増幅器において、前記第 3 および第 4 のバイポーラトランジスタのエミッタ電圧が前記負電源を基準とした所定電位に対してベース・コレクタ間電圧分だけ低い電圧となるように、前記第 1 ないし第 4 の抵抗の値を設定したことを特徴とする。

【 0 0 1 6 】

請求項 2 ないし 4 の構成によれば、第 1 の相補信号をなす同相信号または逆相信号の何れかがハイレベルになると、第 1 および第 2 の抵抗の何れかを介して第 1 および第 2 のバイポーラトランジスタのエミッタ電圧が上昇し、これら第 1 および第 2 のバイポーラトランジスタの一方がオン状態となり、他方がオフ状態となる。いま、第 1 のトランジスタがオン状態になったものとする、この第 1 のトランジスタと第 3 の抵抗との間の電位が上昇し、第 3 のバイポーラトランジスタのエミッタ電圧が上昇する。この結果、第 3 のバイポーラトランジスタがオフ状態となる。これに対し、オフ状態にある第 2 のバイポーラトランジスタと第 4 の抵抗との間の電位は低下し、第 4 のバイポーラトランジスタがオン状態となる。このため、第 4 のバイポーラトランジスタが電流を駆動する。

【 0 0 1 7 】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

図 1 に、この実施の形態に係る D 級増幅器 D A M P の構成を示す。同図において、信号源 S I G は、接地電位（0 V）を振幅の midpoint とした振幅を有する音楽信号（アナログ量）の発生源である。信号源 S I G の信号は入力コンデンサ C I N を介して音楽信号 V I N として D 級増幅器 D A M P の入力端子 T I に与えられる。D 級増幅器 D A M P は、いわゆる P W M 増幅器であって、入力段 1 0 0、変調回路 2 0 0、駆動制御回路 3 0 0、n 型のパワー M O S トランジスタ 4 0 1、4 0 2（出力用トランジスタ）から構成される。

【0018】

入力段 1 0 0 は、入力抵抗 R 1 と帰還抵抗 R 2（= R 1）とオペアンプ O P とから構成される。入力抵抗 R 1 の一端はオペアンプ O P の反転入力部（-）に接続され、その他端は入力端子 T I に接続される。帰還抵抗 R 2 は、オペアンプ O P の反転入力部と出力部との間に接続される。オペアンプ O P の非反転入力部（+）には、基準電圧 V R E F が印加される。基準電圧 V R E F は、例えば標準の電源 V D D が供給する電圧を抵抗分割して発生され、電源 V D D の 2 分の 1 に設定される。この実施の形態では、電源 V D D の電圧を「+ 1 0 V」とし、この技術分野において標準的な電源電圧とする。変調回路 2 0 0 は、前段の入力段 1 0 0 から出力された音楽信号を P W M によりパルス信号（P W M 信号）に変換するものである。駆動制御回路 3 0 0 は、出力用のパワー M O S トランジスタ 4 0 1、4 0 2 を相補的に駆動制御するものである。この駆動制御回路 3 0 0 の詳細については後述する。

【0019】

パワー M O S トランジスタ 4 0 1 は、出力端子 T O にハイレベルを出力するためのものであって、ドレインおよびソースが正電源 V P P +（高電源）および出力端子 T O にそれぞれ接続される。一方のパワー M O S トランジスタ 4 0 2 は、出力端子 T O にローレベルを出力するためのものであって、ドレインおよびソースが出力端子 T O および負電源 V P P -（低電源）にそれぞれ接続される。この実施の形態 1 では、正電源 V P P + の電圧を「+ 5 0 V」とし、負電源 V P P -

の電圧を「 -50V 」とする。出力端子 TO には、インダクタ L およびコンデンサ C からなるローパスフィルタを介してスピーカ SPK の一方の入力端子が接続され、このスピーカ SPK の他方の入力端子は接地される。インダクタ L およびコンデンサ C からなるローパスフィルタの定数は、出力端子 TO を介して D 級増幅器 DAMP から出力されるパルス信号からキャリア周波数成分を除去し、かつ音楽信号成分を通過させるように設定される。

上述のように、この D 級増幅器 DAMP は、標準の電源 VDD 、正電源 VPP+ 、負電源 VPP- の3電源で動作するものとなっている。

【0020】

次に、駆動制御回路300の構成を詳細に説明する。図2に、駆動制御回路300の構成を示す。なお、図2において、図1に示す構成要素と共通する要素には同一符号を付し、また、説明の便宜上、出力用のパワー MOS トランジスタ401、402を併記する。

駆動制御回路300の初段には相補信号生成回路301が設けられる。この相補信号生成回路301は、上述の変調回路200から出力された PWM 信号の同相信号 S1 と逆相信号 S2 からなる相補信号（第1の相補信号）を生成するものであり、図3に示すように、バッファ B11 、 B12 および負論理入力型のバッファ（反転バッファ） B13 から構成される。具体的には、バッファ B11 の入力部は、変調回路200から出力された PWM 信号が与えられる端子 Q11 に接続され、その出力部はバッファ B12 、 B13 の入力部に共通に接続され、これらバッファ B12 、 B13 の出力部は端子 Q12 、 Q13 にそれぞれ接続される。バッファ B11 、 B12 、 B13 は電源 VDD とグランド電位が供給されて作動し、バッファ B12 、 B13 から PWM 信号の同相信号 S1 と逆相信号 S2 とが端子 Q12 、 Q13 を介してそれぞれ出力される。これら同相信号 S1 および逆相信号 S2 は、グランド電位（ 0V ）から電源 VDD （ 10V ）の振幅を有し、信号変換回路302に供給される。

【0021】

上述の相補信号生成回路301の後段には信号変換回路302が接続される。この信号変換回路302は、同相信号 S1 および逆相信号 S2 からなる相補信号

を、負電源 V_{PP-} を基準とした電圧成分を有する相補信号 S_3 、 S_4 および相補信号 S_5 、 S_6 （第2の相補信号）に変換するものであり、抵抗 $R_{3021} \sim R_{3026}$ および pnp 型バイポーラトランジスタ T_{3021} 、 T_{3022} から構成される。ここで、 pnp 型バイポーラトランジスタ T_{3021} のエミッタは抵抗 R_{3021} を介して相補信号生成回路 301 の一方の出力部である端子 Q_{12} に接続され、 pnp 型バイポーラトランジスタ T_{3022} のエミッタは抵抗 R_{3022} を介して相補信号生成回路 301 の他方の出力部である端子 Q_{13} に接続され、これら pnp 型バイポーラトランジスタ T_{3021} 、 T_{3022} のベースはグランド電位に共通にバイアスされる。また、一方の pnp 型バイポーラトランジスタ T_{3021} のコレクタと負電源 V_{PP-} との間には抵抗 R_{3023} および抵抗 R_{3025} がこの順に直列接続され、他方の pnp 型バイポーラトランジスタ T_{3022} のコレクタと負電源 V_{PP-} との間には抵抗 R_{3024} および抵抗 R_{3026} がこの順に直列接続される。

【0022】

また、 pnp 型バイポーラトランジスタ T_{3021} のコレクタと抵抗 R_{3023} との接続ノード ND_1 は抵抗 R_{3004} を介して駆動回路 305 の入力部をなす端子 Q_{33} に接続され、 pnp 型バイポーラトランジスタ T_{3022} のコレクタと抵抗 R_{3024} との接続ノード ND_2 は抵抗 R_{3003} を介して同じく駆動回路 305 の入力部をなす端子 Q_{31} に接続される。駆動回路 305 の端子 Q_{31} と端子 Q_{32} との間には抵抗 R_{3005} が接続され、端子 Q_{32} と端子 Q_{33} との間には抵抗 R_{3006} が接続される。これら抵抗 R_{3005} と抵抗 R_{3006} との間の接続ノード（符号なし）は端子 Q_{32} を介して所定電圧 V_{R2} にバイアスされる。

【0023】

上述の信号変換回路 302 の後段には、電流駆動回路 303 が接続される。この電流駆動回路 303 は、信号 S_5 および信号 S_6 からなる相補信号に応答して負電源 V_{PP-} に向かう電流成分（ I_9 、 I_{10} ）を有する信号 H_3 および信号 H_4 からなる相補信号（第3の相補信号）を出力するものであり、 npn 型バイポーラトランジスタ T_{3031} 、 T_{3032} から構成される。ここで、一方の n

p n 型バイポーラトランジスタ T 3 0 3 1 のエミッタは、信号変換回路 3 0 2 を構成する p n p 型バイポーラトランジスタ T 3 0 2 1 のコレクタと抵抗 R 3 0 2 5 との間、具体的には抵抗 R 3 0 2 3 と抵抗 R 3 0 2 5 との接続ノード N D 3 に接続される。他方の n p n 型バイポーラトランジスタ T 3 0 3 2 のエミッタは、信号変換回路 3 0 2 を構成する p n p 型バイポーラトランジスタ T 3 0 2 2 のコレクタと抵抗 R 3 0 2 6 との間、具体的には抵抗 R 3 0 2 4 と抵抗 R 3 0 2 6 との接続ノード N D 4 に接続され、これらトランジスタのベースは後述する接続ノード N D 5 に現れる所定電位（負電源 V P P - を基準とした電位）に共通にバイアスされる。

【 0 0 2 4 】

また、n p n 型バイポーラトランジスタ T 3 0 3 1 のコレクタは駆動回路 3 0 4 の入力部をなす端子 Q 2 1 に接続され、n p n 型バイポーラトランジスタ T 3 0 3 2 のコレクタは同じく駆動回路 3 0 4 の入力部をなす端子 Q 2 3 に接続される。駆動回路 3 0 4 の端子 Q 2 1 と端子 Q 2 2 との間には抵抗 R 3 0 0 1 が接続され、端子 Q 2 2 と端子 Q 2 3 との間には抵抗 R 3 0 0 2 が接続される。これら抵抗 R 3 0 0 1 と抵抗 R 3 0 0 2 との間の接続ノード（符号なし）は端子 Q 2 2 を介して所定電圧 V R 1 にバイアスされる。

【 0 0 2 5 】

次に、駆動回路 3 0 4 は、信号 H 3 および信号 H 4 からなる相補信号に応答して出力用のパワー M O S トランジスタ 4 0 1 を駆動するいわゆるハイサイドドライバとして機能するものであり、図 4 に示すように、バイアス回路 P 1 1、コンパレータ C M 1、バッファ B 1 4、内部電源 P 1 2 から構成される。ここで、コンパレータ C M 1 の非反転入力部（+）は端子 Q 2 1 に接続され、その反転入力部（-）は端子 Q 2 3 に接続される。このコンパレータ C M 1 の出力部はバッファ B 1 4 の入力部に接続され、このバッファ B 1 4 の出力部は端子 Q 2 4 を介してパワー M O S トランジスタ 4 0 1 のゲートに接続される。端子 Q 2 2 にはバイアス回路 P 1 1 が接続され、前述の抵抗 R 3 0 0 1 と抵抗 R 3 0 0 2 との間の接続ノードがパワー M O S トランジスタ 4 0 1 のソース電圧 V S を基準とした所定電圧 V R 1 にバイアスされている。この実施の形態では、所定電圧 V R 1 を、パ

ワ- MOS トランジスタ401のソース電圧 V_S に電源 V_{DD} の2分の1を加えた値($=V_S + V_{DD}/2$)に設定するものとする。いま、電源 V_{DD} は10Vであるから、その半分の5Vをソース電圧 V_S に加算した電圧が所定電圧 V_{R1} となる。

【0026】

図5に、バイアス回路P11の構成例を示す。同図に示すように、バイアス回路P11は、上述のソース電圧 V_S が現れるノード(即ちパワー MOS トランジスタ401のソース)と正電源 V_{PP+} との間に抵抗 P_R およびツェナー・ダイオード P_D を直列接続し、このツェナー・ダイオード P_D と並列に安定化コンデンサ P_C を接続して構成され、抵抗 P_R とツェナー・ダイオード P_D との接続点に現れる電圧が所定電圧 V_{R1} とされる。この実施の形態1では、ツェナー・ダイオード P_D の降伏電圧は電源 V_{DD} (10V)の2分の1に相当する5Vに設定されており、これにより、上述の所定電圧 V_{R1} としてソース電圧 V_S に電源 V_{DD} の2分の1を加えた値($=V_S + V_{DD}/2$)を発生するものとなっている。

【0027】

説明を図4に戻す。内部電源P12は、パワー MOS トランジスタ401のソース電圧 V_S を基準として、電源 V_{DD} の電圧(10V)に相当する電圧 V_{D1} を発生するものであり、基本的には上述の図5に示すバイアス回路と同様に構成される。ただしこの場合のツェナー・ダイオード P_D の降伏電圧は電源 V_{DD} の電圧に相当する10Vに設定される。この内部電源P12は、ソース電圧 V_S を基準として電源 V_{DD} に相当する電圧 V_{D1} を発生し、上述のコンパレータ $CM1$ とバッファ $B14$ に電源を供給する。従って、駆動回路304の電源系は、パワー MOS トランジスタ401のソース電圧 V_S に追従して変化すると共に、コンパレータ $CM1$ およびバッファ $B14$ に関する限り電源 V_{DD} と等価な電源として振る舞う。

【0028】

さらに説明を図3に戻す。駆動回路305は、信号 $L3$ および信号 $L4$ からなる相補信号に応答して出力用のパワー MOS トランジスタ402を駆動するいわ

ゆるローサイドドライバとして機能するものであり、基本的には上述の駆動回路 3 0 4 と同様に構成される。ただし、この場合のバイアス回路 P 1 1 は、負電源 V P P - を基準として、電源 V D D の 2 分の 1 に相当する電圧 V R 2 を発生する。また、内部電源 P 1 2 は、パワー M O S トランジスタ 4 0 2 のソース電圧（即ち負電源 V P P -）を基準として電源 V D D に相当する電圧 V D 2 を発生し、コンパレータ C M 1 およびバッファ B 1 4 に電源を供給する。端子 Q 3 1, Q 3 2, W 3 3, Q 3 4 は端子 Q 2 1, Q 2 2, Q 2 3, Q 2 4 に対応する。各構成要素の接続関係については駆動回路 3 0 4 と同様であり、その説明を省略する。

【 0 0 2 9 】

ここで、この実施の形態では、p n p 型バイポーラトランジスタ T 3 0 2 1 がオン状態にある場合、このトランジスタを流れる電流 I 1 を 4 m A とし、この電流が分流された電流 I 3 および電流 I 6 をそれぞれ 3 m A および 1 m A とし、抵抗 R 3 0 2 5 を流れる電流 I 7 が 3 m A に達したときに n p n 型バイポーラトランジスタ T 3 0 3 1 がオフ状態となり、且つ p n p 型バイポーラトランジスタ T 3 0 2 1 がオフ状態にある場合には電流 I 7 が 3 m A よりも小さな値となるように、抵抗 R 3 0 2 1, R 3 0 2 3, R 3 0 2 5、および抵抗 R 3 0 0 7, R 3 0 0 8 の各値が設定されているものとする。抵抗 R 3 0 2 2, R 3 0 2 4, R 3 0 2 6 については、上述の抵抗 R 3 0 2 1, R 3 0 2 3, R 3 0 2 5 と同値に設定される。抵抗 R 3 0 0 1 ~ R 3 0 0 6 については、駆動回路 3 0 4, 3 0 5 に供給すべき相補信号の振幅が適切になるように設定される。

【 0 0 3 0 】

次に、この実施の形態の動作を説明する。図 6 では、変調回路 2 0 0 から出力された PWM 信号は、同相信号 S 1 と位相が同一であるから、同相信号 S 1 の波形を流用して表現している。

図 1 に示す入力段 1 0 0 は、増幅率「1」の反転増幅器として機能し、基準信号 V R E F を中点として音楽信号 V I N の位相を反転させた信号を出力する。これにより、音楽信号 V I N が、後段側の変調回路 2 0 0 の入力特性に適合する信号に変換される。変調回路 2 0 0 は、前段の入力段 1 0 0 から出力された音楽信号の情報成分をパルス幅に反映させてパルス信号に変調（PWM）し、PWM 信

号を生成する。駆動制御回路 3 0 0 は、変調回路 2 0 0 で生成された PWM 信号に基づき、出力用のパワー MOS トランジスタ 4 0 1 とパワー MOS トランジスタ 4 0 2 とを相補的に駆動する。これにより、出力端子 T O には電力増幅されたパルス信号が出力信号 O U T として現れる。

【 0 0 3 1 】

次に、図 6 を参照しながら図 2 に示す駆動制御回路 3 0 0 の動作を詳細に説明する。相補信号生成回路 3 0 1 は、図 1 に示す変調回路 2 0 0 から出力された PWM 信号に応答して、この PWM 信号と同じ位相を有する同相信号 S 1 と、逆の位相を有する逆相信号 S 2 を生成する。図 6 に示す波形図では、初期状態において、変調回路 2 0 0 から出力された PWM 信号はハイレベルにあり、これを入力する相補信号生成回路 3 0 1 は、同相信号 S 1 としてハイレベルを出力し、逆相信号 S 2 としてローレベルを出力する。従って、初期状態において同相信号 S 1 と逆相信号 S 2 との間には、電源 V D D (1 0 V) に相当するレベル差が存在し、同相信号 S 1 が逆相信号 S 2 よりも電源 V D D に相当する電圧分だけ高くなっている。

【 0 0 3 2 】

相補信号生成回路 3 0 1 から出力された同相信号 S 1 と逆相信号 S 2 は、信号変換回路 3 0 2 を構成する抵抗 R 3 0 2 1, R 3 0 2 2 を介して p n p 型バイポーラトランジスタ T 3 0 2 1, T 3 0 2 2 のエミッタに与えられる。ここで、抵抗 R 3 0 2 1 を介してハイレベルが与えられると、p n p 型バイポーラトランジスタ T 3 0 2 1 のエミッタからベースに向かって電流が流れ、そのエミッタ電圧がグランド電位にバイアスされたベース電圧よりもベース・エミッタ電圧 V_{be} だけ高い電圧に達すると、p n p 型バイポーラトランジスタ T 3 0 2 1 がオン状態となる。このときに p n p 型バイポーラトランジスタ T 3 0 2 1 を流れる電流 I_1 は、抵抗 R 3 0 2 1 の値と端子間電圧とにより決定される一定電流 (4 m A) となる。この電流 I_1 は、接続ノード N D 1 において、抵抗 R 3 0 2 3 および抵抗 R 3 0 2 5 の直列抵抗と、抵抗 R 3 0 0 4 および抵抗 R 3 0 0 6 の直列抵抗との比率で電流 I_3 (3 m A) と電流 I_6 (1 m A) に分流される。電流 I_3 は、抵抗 R 3 0 2 3 を介して接続ノード N D 3 に向かって流れ、電流 I_6 は、抵抗

R 3 0 0 4 および抵抗 R 3 0 0 6 を介して端子 Q 3 2 に向かって流れる。

【 0 0 3 3 】

電流 I 3 は、接続ノード N D 3 において、n p n 型バイポーラトランジスタ T 3 0 3 1 から流れ込む電流と共に電流 I 7 として抵抗 R 3 0 2 5 を介して負電源 V P P - に流れ込む。ここで、3 m A の電流 I 3 を含む電流 I 7 が抵抗 R 3 0 2 5 を流れると、接続ノード N D 3 の電圧が上昇し、n p n 型バイポーラトランジスタ T 3 0 3 1 のエミッタに対するベースの電圧が、ベース・エミッタ電圧 V b e 以下となる。従って、n p n 型バイポーラトランジスタ T 3 0 3 1 がオフ状態となり、n p n 型バイポーラトランジスタ T 3 0 3 1 は電流 I 9 を流さなくなる。以上のように、p n p 型バイポーラトランジスタ T 3 0 2 1 がオン状態になると、電流 I 6 として 1 m A の電流が、駆動回路 3 0 5 の端子に接続された抵抗 R 3 0 0 6 を介して端子 Q 3 2 に向かって流れ、駆動回路 3 0 4 の端子間に接続された抵抗 R 3 0 0 1 に電流は流れない（即ち電流 I 9 が 0 m A）。

【 0 0 3 4 】

一方、この時、p n p 型バイポーラトランジスタ T 3 0 2 2 は、逆相信号 S 2 がローレベルであるのでオフ状態となり、この p n p 型バイポーラトランジスタ T 3 0 2 2 は電流を流さなくなる（ $I 2 = 0 \text{ m A}$ ）。従って、接続ノード N D 2 の電位は低下し、接続ノード N D 2 には、駆動回路 3 0 5 の端子 Q 3 2 から、抵抗 R 3 0 0 5、抵抗 R 3 0 0 3、抵抗 R 3 0 2 4、抵抗 R 3 0 2 6 で定まる電流 I 5 が流れ込む。即ち、電流 I 5 が、駆動回路 3 0 5 の端子間に接続された抵抗 R 3 0 0 5 を介して端子 Q 3 2 から流れ出す。また、p n p 型バイポーラトランジスタ T 3 0 2 2 がオフ状態であるから、上述の電流 I 5 は、抵抗 R 3 0 2 4 を介して接続ノード N D 4 に向かって電流 I 4 としてそのまま流れるが、前述したようにこの場合に抵抗 R 3 0 2 6 を流れる電流 I 8 は 3 m A よりも小さくなる。この結果、n p n 型バイポーラトランジスタ T 3 0 3 2 のエミッタに対するベースの電圧がベース・エミッタ電圧 V b e 以上となり、この n p n 型バイポーラトランジスタ T 3 0 3 2 がオン状態となって電流 I 1 0 を流す。即ち、駆動回路 3 0 4 の端子間に接続された抵抗 R 3 0 0 2 を介して端子 Q 2 2 から電流 I 1 0 が流れ出す。

【0035】

上述のように、電流 I_9 は流れずに電流 I_{10} が抵抗 R_{3002} を介して駆動回路 304 の端子 Q_{22} から流れ出すのであるから、駆動回路 304 の端子 Q_{21} がバイアス電圧 V_{R1} に等しくなり、端子 Q_{23} がバイアス電圧 V_{R1} よりも低くなる結果、信号 H_3 が信号 H_4 よりも信号レベルが大きくなる。駆動回路 304 のコンパレータ CM_1 は、信号 H_3 と信号 H_4 との大小関係に応じた信号レベルを出力する。いま、信号 H_3 が信号 H_4 よりも信号レベルが大きいので、コンパレータ CM_1 はハイレベルを出力し、これを入力するバッファ B_{14} は、パワーMOSトランジスタ 401 のソースを基準として電源 V_{DD} に相当する信号レベルを有する信号 H_5 をそのゲートに出力する。これにより、パワーMOSトランジスタ 401 はオン状態となる。後述するように、パワーMOSトランジスタ 401、402 は相補的に導通するように制御されるから、パワーMOSトランジスタ 401 がオン状態、パワーMOSトランジスタ 402 がオフ状態となり、出力信号 OUT の信号レベル（即ちソース電圧 V_S ）が正電源 V_{PP+} の電源電圧にまで上昇する。

【0036】

このとき、駆動回路 304 の内部回路は、内部電源 P_{12} から、ソース電圧 V_S を基準とした電圧 V_{D1} を供給されるので、この駆動回路 304 の電源系はパワーMOSトランジスタ 401 のソース電圧 V_S に追従して上昇する。このため、コンパレータ CM_1 の入力閾値もソース電圧 V_S と共に上昇するが、バイアス回路 P_{11} が発生する電圧 V_{R1} もソース電圧 V_S に追従して上昇するので、信号 H_3 と信号 H_4 の各信号レベルは駆動回路 303 H をなすコンパレータ CM_1 の入力特性に適合した状態を維持し、パワーMOSトランジスタ 401 はオン状態に維持される。この状態では、信号 H_5 の信号レベルは正電源 V_{PP+} より電圧 V_{D1} ($=V_{DD}$) 分だけ高い状態となる。

【0037】

一方、電流 I_5 が抵抗 R_{3005} を介して駆動回路 305 の端子 Q_{32} から流れ出し、電流 I_6 が抵抗 R_{3006} を介して端子 Q_{32} に流れ込むのであるから、駆動回路 305 の端子 Q_{31} に与えられる信号 L_3 がバイアス電圧 V_{R2} より

も低くなり、端子Q 3 3に与えられる信号L 4がバイアス電圧V R 2よりも高くなる。この結果、信号H 3が信号H 4よりも信号レベルが大きくなる。従って、駆動回路3 0 5は、パワーM O Sトランジスタ4 0 2のソース電圧（V P P -）に等しい信号レベルを有する信号L 5をそのゲートに出力する。これにより、パワーM O Sトランジスタ4 0 2はオフ状態となる。

以上のように、初期状態ではパワーM O Sトランジスタ4 0 1がオン状態となり、パワーM O Sトランジスタ4 0 2がオフ状態となって、出力信号O U Tとして正電源V P P +の電圧に相当するハイレベルが出力された状態となっている。

【0 0 3 8】

このような初期状態から、図6に示す時刻t 1においてP W M信号がローレベルに遷移すると、これに応答してp n p型バイポーラトランジスタT 3 0 2 1，T 3 0 2 2がそれぞれオフ状態およびオン状態となる。このため、電流I 9が流れ出し、電流I 1 0が流れなくなり、時刻t 2において信号H 3と信号H 4の大小関係が逆転する。そして、これら信号H 3と信号H 4を入力するコンパレータC M 1の出力信号がハイレベル（正電源V P P +より電圧V D 1分だけ高い電圧状態）からローレベル（図4におけるソース電圧V Sに相当する電圧状態）に変化し、これを入力するバッファB 1 4の出力信号H 5もローレベルに変化する。この結果、パワーM O Sトランジスタ4 0 1のゲート電圧がソース電圧V S（＝出力端子T Oの電位）と等しくなり、このパワーM O Sトランジスタ4 0 1がオフ状態となる。

【0 0 3 9】

また、時刻t 1においてP W M信号がローレベルに遷移し、p n p型バイポーラトランジスタT 3 0 2 1，T 3 0 2 2がそれぞれオフ状態およびオン状態になると、これに応答して電流I 5および電流I 6がそれまでとは逆方向に流れ出し、信号L 3と信号L 4との大小関係が逆転する。従って、これを入力する駆動回路3 0 5から出力される信号L 5がハイレベルに変化する。この結果、パワーM O Sトランジスタ4 0 2のゲート電圧がソース電圧に対して電圧V D 2分だけ高くなり、このパワーM O Sトランジスタ4 0 2がオン状態となる。パワーM O Sトランジスタ4 0 2がオン状態になると、パワーM O Sトランジスタ4 0 1のソ

ース電圧 V_S は出力信号 OUT に伴って低下し、これを基準として内部電源 P_{12} が発生する電圧 V_{D1} も低下する。

【0040】

このとき、バイアス回路 P_{11} が発生する電圧 V_{R1} もパワーMOSトランジスタ401のソース電圧 V_S の変化に伴って低下するので、信号 H_3 と信号 H_4 の大小関係が維持されたまま、これら信号レベルが駆動回路304の電源系と共に低下する。従ってコンパレータ CM_1 が出力する信号レベルはローレベル（ソース電圧 V_S ）を維持し、出力信号 OUT がローレベル（負電源 V_{PP-} ）に遷移する過程において、パワーMOSトランジスタ401はオフ状態を維持する。

以上により、初期状態から時刻 t_1 においてPWM信号がローレベルに遷移すると、一方のパワーMOSトランジスタ401がオフ状態となり、他方のパワーMOSトランジスタ402がオン状態となって、出力信号 OUT が正電源 V_{PP+} から負電源 V_{PP-} に遷移し、ローレベルが出力される。

【0041】

続いて、時刻 t_3 においてPWM信号がハイレベルに回復すると、これに応答して時刻 t_4 において信号 H_3 がハイレベルとなり信号 H_4 がローレベルとなる。従って、これら信号 H_3 と信号 H_4 を入力する駆動回路304は信号 H_5 としてハイレベルを出力し、パワーMOSトランジスタ401がオン状態となる。一方のローサイドドライバ側では、信号 L_3 がローレベルになり、信号 L_4 がハイレベルになる。従って、これら信号 L_3 と信号 L_4 を入力する駆動回路305は信号 L_5 としてローレベルを出力し、パワーMOSトランジスタ402はオフ状態となる。

【0042】

ここで、パワーMOSトランジスタ401がオン状態になると、そのソース電圧 V_S （＝出力信号 OUT ）が上昇し、これを基準として内部電源 P_{12} が発生する電圧 V_{D1} も上昇する。しかし、バイアス回路 P_{11} が発生する電圧 V_{R1} もソース電圧 V_S に追従して上昇し、同相信号 H_1 と逆相信号 H_2 の大小関係が維持されるので、コンパレータ CM_1 が出力する出力信号の信号レベルはハイレベル（ソース電圧 V_S に対して電圧 V_{D1} 分だけ高い電圧状態）を保つ。従って

、出力信号OUTがハイレベルに遷移する過程において、パワーMOSトランジスタ401はオン状態を維持する。よって、時刻 t_3 においてPWM信号がハイレベルになると、パワーMOSトランジスタ401がオン状態となり、パワーMOSトランジスタ402がオフ状態となって、出力信号OUTとして正電源VPP+に相当するハイレベルが出力される。

以上により、音楽信号VINに基づき変調されたパルス信号が電力増幅されて出力信号OUTとして出力される。

【0043】

上述した実施の形態によれば、基本的には電流により信号が相補信号生成回路301から駆動回路304、305に伝達され、回路インピーダンスを低く出来るので、仮にこの信号経路と出力端子TOとの間に寄生容量が形成されていたとしても、出力信号OUTが遷移する際に信号経路にノイズが重畳することが少ない。従って、増幅動作を安定化させることが可能になる。

以上、この発明の一実施形態を説明したが、この発明は、上述の実施の形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。例えば、上述の実施の形態では、信号変換回路302および電流駆動回路303をバイポーラトランジスタを用いて構成したが、MOSトランジスタを用いて構成してもよい。

【0044】

【発明の効果】

この発明によれば、PWM信号から第1の相補信号を生成し、この第1の相補信号を、負電源を基準とする第2の相補信号に変換し、この第2の相補信号を駆動回路に供給するようにしたので、特殊な回路技術や電子部品を用いることなく出力用のパワーMOSトランジスタを駆動制御することができ、しかも高耐圧プロセスの使用を必要最小限に抑えることができる。

【図面の簡単な説明】

【図1】 この発明の実施形態に係るD級増幅器の構成を示す図である。

【図2】 この実施形態に係る駆動制御回路の構成を示す回路図である。

【図3】 この実施形態に係る信号生成回路の構成を示す回路図である。

【図 4】 この実施形態に係る駆動回路の構成を示す回路図である。

【図 5】 この実施形態に係るバイアス回路の構成を示す図である。

【図 6】 この実施形態に係る D 級増幅器の動作を説明するための波形図である。

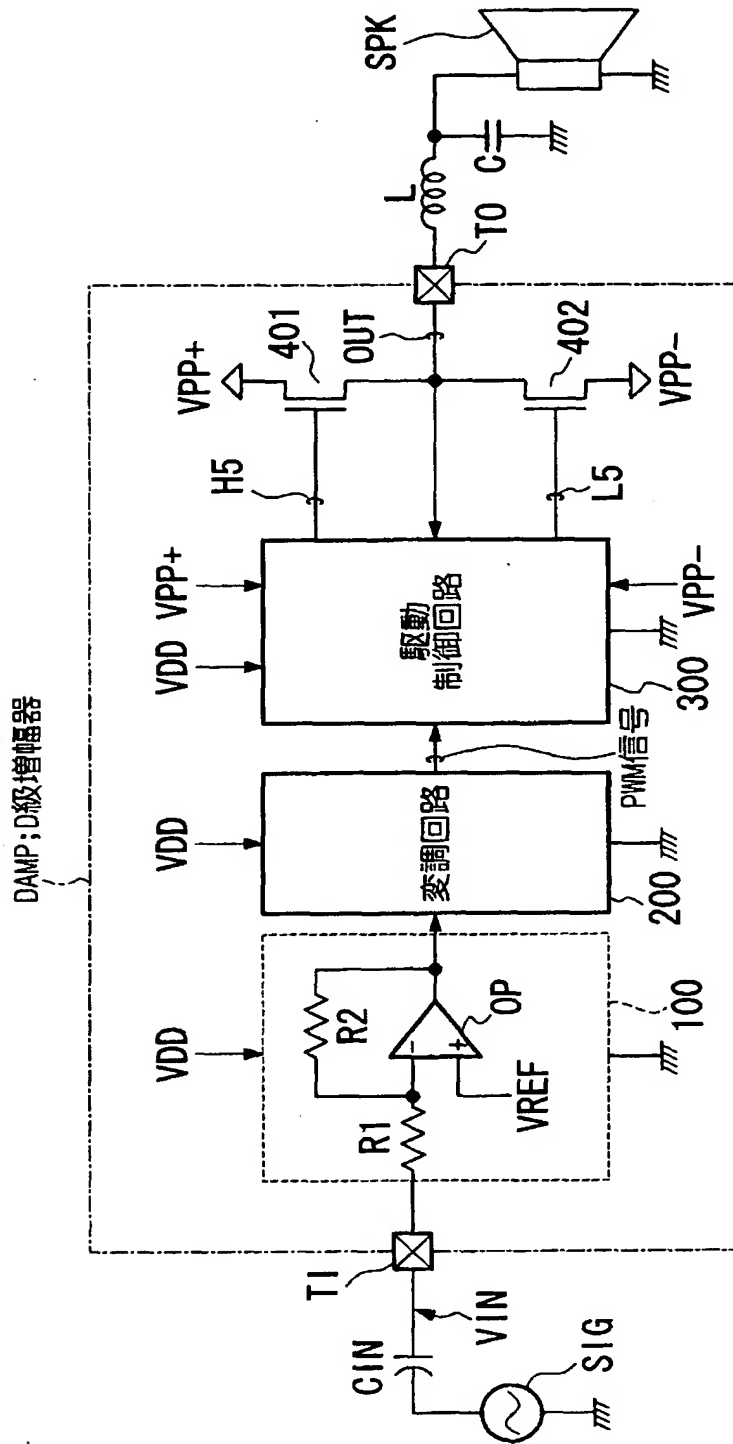
【図 7】 従来技術に係る D 級増幅器の構成図である。

【符号の説明】

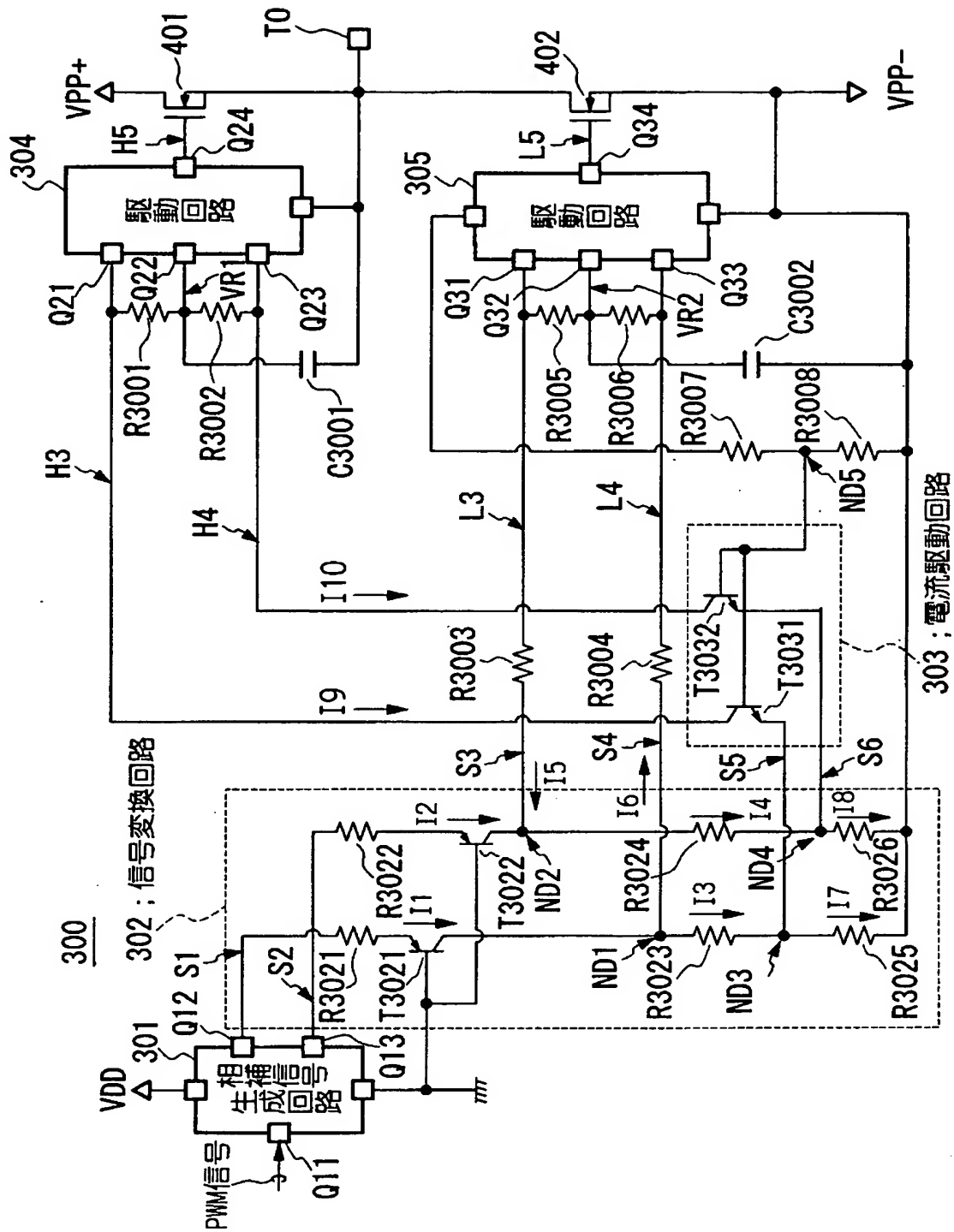
DAMP : D 級増幅器、100 : 入力段、200 : 変調回路、300 : 駆動制御回路、301 : 相補信号生成回路、302 : 信号変換回路、303 : 電流駆動回路、401, 402 : パワー MOS トランジスタ、R3021 ~ R3026, R3001 ~ R3008 : 抵抗、T3021, T3022 : pnp 型バイポーラトランジスタ、T3031, T3032 : npn 型バイポーラトランジスタ、TI : 入力端子、TO : 出力端子。

【書類名】 図面

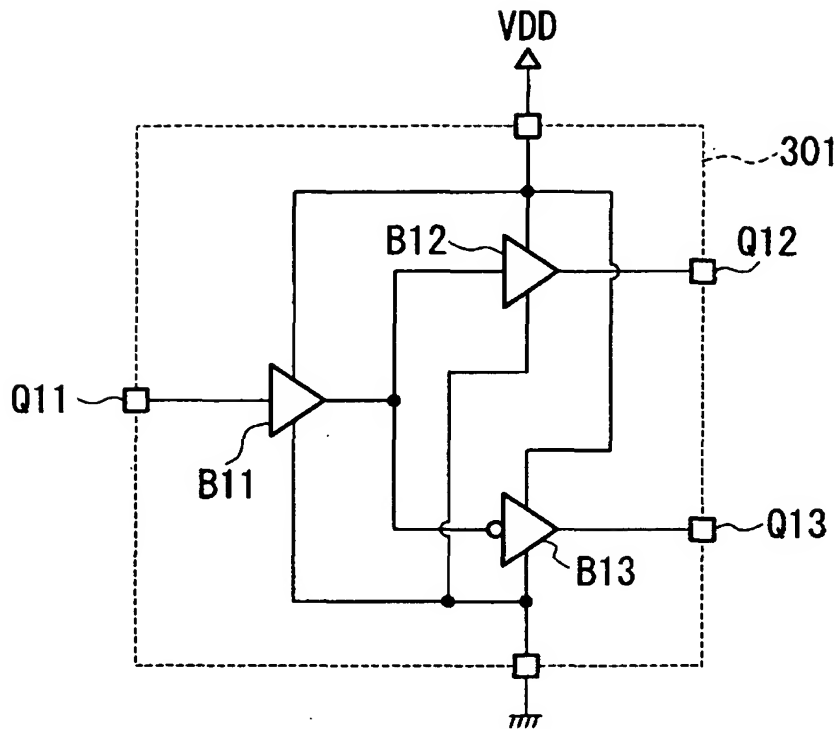
【図 1】



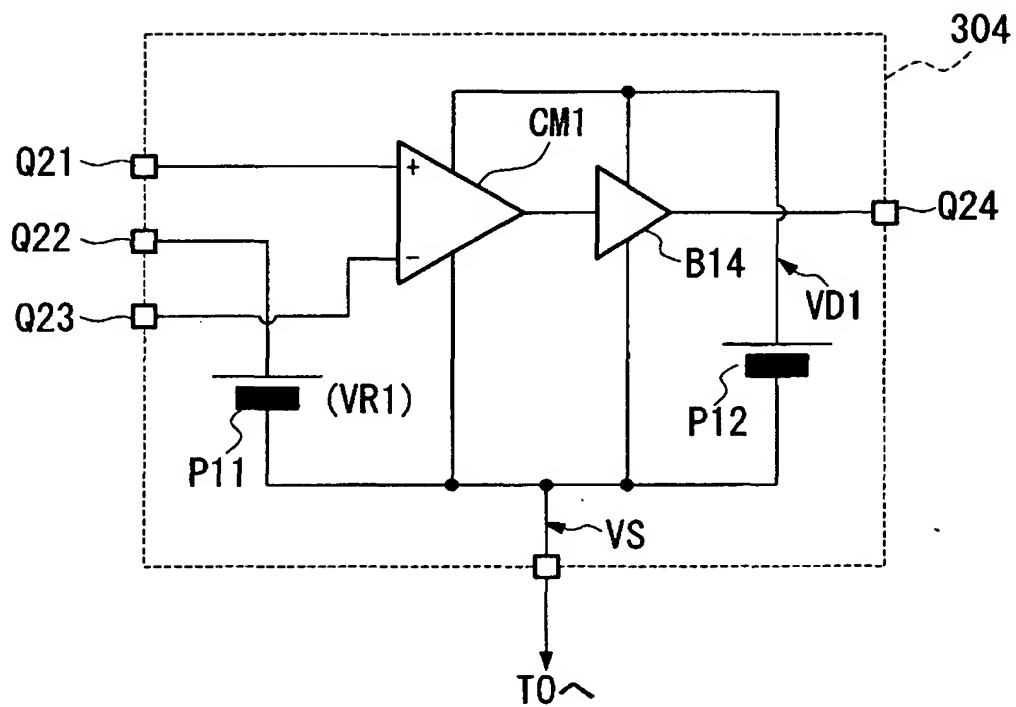
【図2】



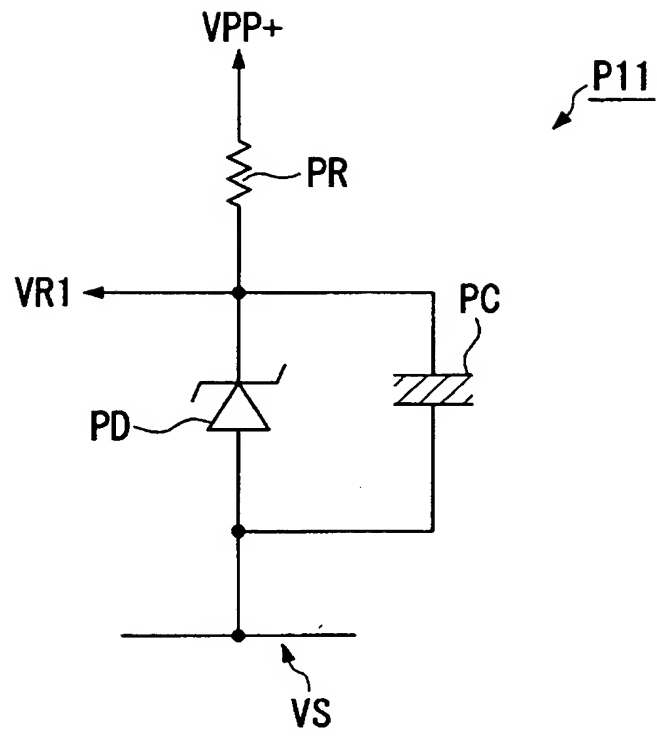
【図 3】



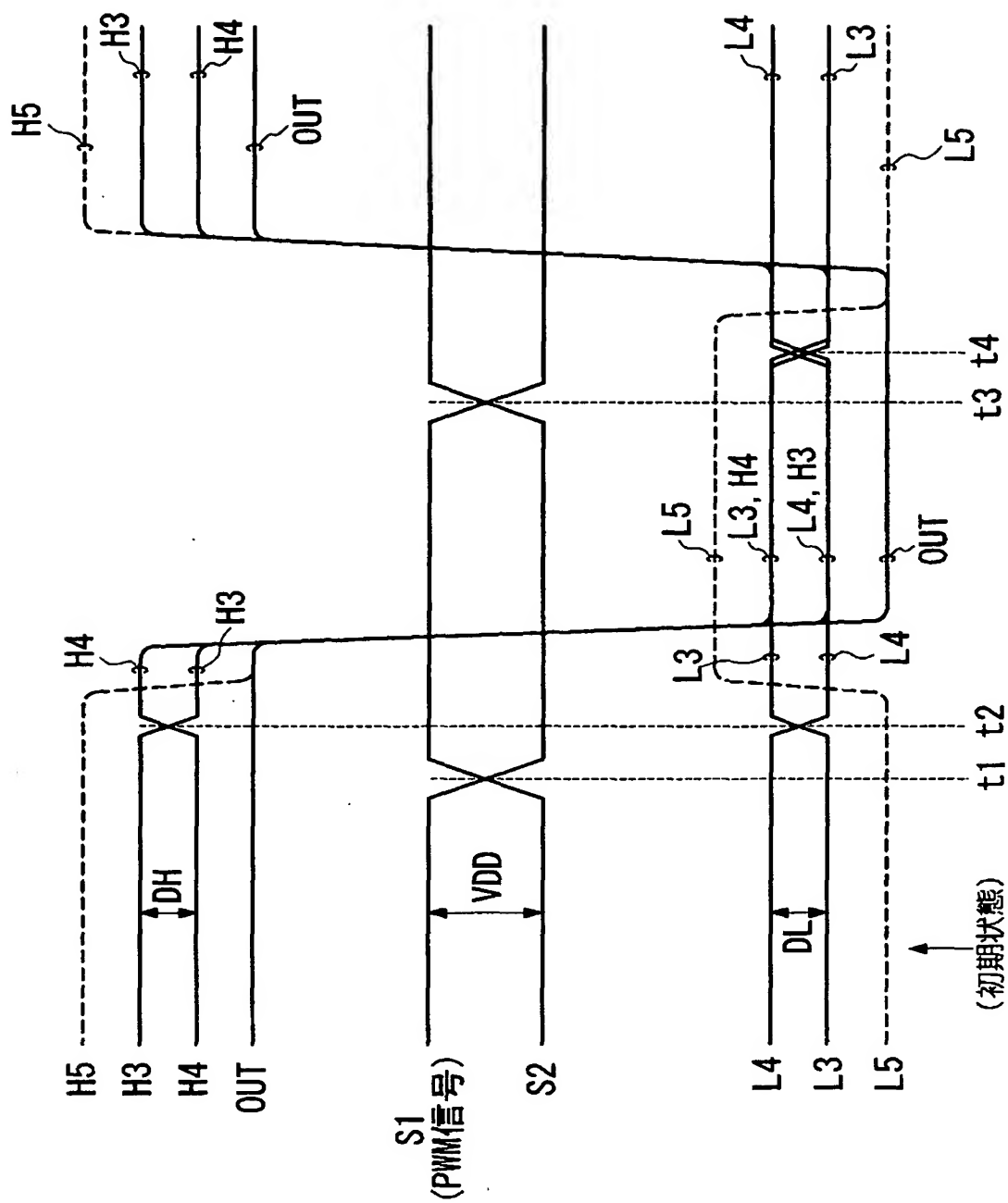
【図 4】



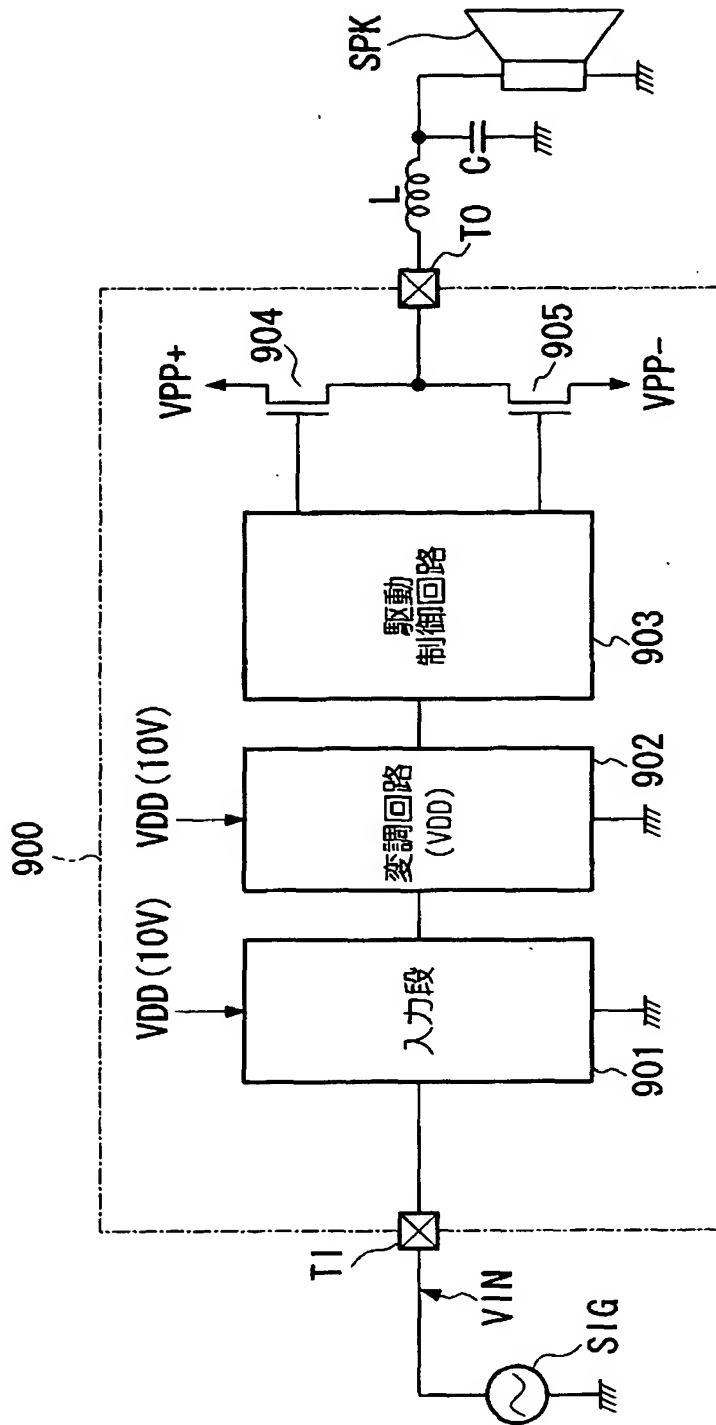
【図 5】



【図 6】



【図7】



【書類名】 要約書

【要約】

【課題】 特殊な回路技術や電子部品を用いることなく出力用のパワーMOSトランジスタを駆動制御することができるD級増幅器を提供すること。

【解決手段】 相補信号生成回路301により、PWM信号から第1の相補信号(S1, S2)が生成される。第1の相補信号は、信号変換回路302により、負電源VPP-を基準とした電圧成分を有する第2の相補信号(S3, S4またはS5, S6)に変換される。ここで、第2の相補信号のうち、信号S3および信号S4は駆動回路305に供給され、信号S5および信号S6は電流駆動回路303に供給される。電流駆動回路303は、信号S5および信号S6に応答して、負電源VPP-に向かう電流成分を有する第3の相補信号(H3, H4)を駆動回路304に出力する。これにより、駆動回路304, 305がパワーMOSトランジスタ401, 402を相補的に駆動する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 0 7 5]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	静岡県浜松市中沢町 1 0 番 1 号
氏 名	ヤマハ株式会社